

COMPOUND SEMICONDUCTOR DEVICE

Patent Number: JP4122070

Publication date: 1992-04-22

Inventor(s): NISHIYAMA NAOKI

Applicant(s): SUMITOMO ELECTRIC IND LTD

Requested Pat. nt: JP4122070

Application Number: JP19900243628 19900913

Priority Number(s):

IPC Classification: H01L29/46 ; H01L29/804

EC Classification:

Equivalents:

Abstract

PURPOSE: To permit a contact layer to have a good surface morphology and to keep an ohmic contact resistance value of the device low by using an InAs (indium . arsenic)-GaAs (gallium . arsenic) superlattice layer for the contact layer.

CONSTITUTION: An InAs-GaAs superlattice contact layer 5 is formed on an AlInAs-doped layer 4, a III-V compound semiconductor material layer. And, on the layer 5, a metal layer 6 is formed for forming ohmic electrodes. As a result, the effect of lattice mismatching is kept lower than in a case that no superlattice layer is used. The layer 5 is InAs-rich, being constituted of InAs three-atom layers 5al-5an (9Angstrom or less in thickness) and GaAs one-atom layers 5bl-5bn (3Angstrom or less in thickness), which are laminated alternately, each in the 'n' layers. Therefore, this device can exhibit almost the same effects with the device in which only InAs is used for the contact layer. Even if there is a lattice mismatching, the contact layer has a good surface morphology and an ohmic contact resistance value of the device can be low enough.

Data supplied from the esp@cenet database - I2

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
⑯ 公開特許公報 (A) 平4-122070

⑮ Int. Cl.⁵
H 01 L 29/46
29/804

識別記号 H 7738-4M

⑯ 公開 平成4年(1992)4月22日

7735-4M H 01 L 29/80

審査請求 未請求 請求項の数 1 (全4頁)

⑯ 発明の名称 化合物半導体装置

⑯ 特願 平2-243628
⑯ 出願 平2(1990)9月13日

⑯ 発明者 西山直樹 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社
横浜製作所内

⑯ 出願人 住友電気工業株式会社 大阪府大阪市中央区北浜4丁目5番33号

⑯ 代理人 弁理士 長谷川芳樹 外3名

明細書

1. 発明の名称

化合物半導体装置

2. 特許請求の範囲

III-V族化合物半導体材料の層上にコンタクト層を挟んでオーミック電極が形成され、前記コンタクト層は、GaAs(ガリウム・ヒ素)層とこれより膜厚の大きいInAs(インジウム・ヒ素)層とが交互に堆積した超格子層で構成されていることを特徴とする、化合物半導体装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、表面にオーミック電極が設けられた化合物半導体装置に関するものである。

【従来の技術】

InP(インジウム・リン)基板に格子整合するInGaAs(インジウム・ガリウム・ヒ素)

やAl_xInAs(アルミニウム・インジウム・ヒ素)等のIII-V族化合物半導体材料を用いたデバイスにおいて低抵抗オーミック接触を得るために、例えばInGaAs層上には、不純物が高濃度に添加されたn⁺-InGaAs層が、エピタキシャル成長法によって設けられている。

これ以外にも不純物が高濃度に添加されたInAs層が、電極とInGaAs層との間に設けられた構造も提案されている。この構造については、例えばH. Morkocらによる報告、"Journal of Applied Physics Letters vol. 64 p. 429~431 1988"で述べられている。この報告によると、ドーピング濃度 $2 \times 10^{18} \text{ cm}^{-3}$ 、膜厚150ÅのInAs層をInGaAs層上に設けることにより、 $2.6 \times 10^{-8} \Omega$ という低抵抗のオーミック接触が得られる。

【発明が解決しようとする課題】

InGaAs層やAl_xInAs層上に、エピタキシャル成長によってInAs層が設けられた構造では、例えばInGaAs(InP基板上に格

子整合したもの)の格子定数が5.8686 Åであり、InAsの格子定数が6.0584 Åといった様に、双方の間に大きな差がある。従ってこの格子不整合により、InAs層の結晶性が劣化することが考えられ、オーミックコンタクト抵抗を劣化させてしまう懸念がある。さらに、格子不整合によりInAs層に3次元的な核成長が起り、試料の表面モフォロジーを劣化させてしまうという問題点がある。

本発明は、これらの問題点を解決した化合物半導体装置を提供するものである。

【課題を解決するための手段】

本発明は、III-V族化合物半導体材料の層上にコンタクト層を挟んでオーミック電極が形成され、そのコンタクト層は、GaAs(ガリウム・ヒ素)層とこれより膜厚の大きいInAs(インジウム・ヒ素)層とが交互に堆積した超格子層で構成されていることを特徴とする。

【作用】

コンタクト層としてInAs-GaAs超格子

層を用いることによって、下地のIII-V族化合物半導体結晶層との格子不整合が緩和され、良好な表面モフォロジーのコンタクト層を得ることができる。さらに、InAs-GaAs超格子層の組成において、InAs層の厚さをGaAs層の厚さよりも厚くしてInAs-richにしているため、電極とInGaAs等の半導体層との間の電気的なボテンシャル障壁がInAs層のみ用いた場合と同程度のものを得ることができる。

【実施例】

ここで、本発明に係る化合物半導体装置について図に基づいて説明する。

第1図は、その化合物半導体装置のコンタクト層であるInAs-GaAs超格子層の構成を示したものである。図示されている様に、III-V族化合物半導体材料層としてのAl_{0.48}In_{0.52}Asドーピング層4上にはInAs-GaAs超格子コンタクト層5が形成され、その上にオーミック電極7が形成するための金属層6が設けられている。この様に、コンタクト層として超格子層を用いること

により、格子不整合の影響は超格子層を用いない場合に比べて抑えられる。また、このInAs-GaAs超格子層5は、InAs3原子層5_{a1}~5_{a2}(膜厚9 Å以下)、GaAs1原子層5_{b1}~5_{b2}(膜厚3 Å以下)とが交互にn層づつ積層されることにより、InAs-richとされたものである。このため、InAsのみをコンタクト層に用いたものと、ほぼ同等の効果を実現することが可能になっている。

次に、上述のInAs-GaAs超格子層5をAl_{0.48}In_{0.52}As/GaAs高移動度トランジスタ(HEMT; High Electron Mobility Transistor)に応用した実施例について説明する。基本的には、半絶縁性基板上にバッファ層、チャネル層、ドーピング層、及びコンタクト層が順次積層された構造を用いている。

第2図は、その化合物半導体装置の断面概略図である。半絶縁性基板として用いられているInP基板1はFe(鉄)がドーピングされたものであり、その上にはAl_{0.48}In_{0.52}Asバッファ層2、

GaInAsチャネル層3、Al_{0.48}In_{0.52}Asドーピング層4、前述したInAs-GaAs超格子コンタクト層5が順次積層され、さらにその上にはオーミック電極7が形成されている。この構造において、Al_{0.48}In_{0.52}Asバッファ層2(膜厚50 Å以下)の組成比はAl:In:As=0.48:0.52:1、GaInAsチャネル層3(膜厚1000 Å)の組成比はGa:In:As=0.47:0.53:1である。この上に積層されているAl_{0.48}In_{0.52}Asドーピング層4は、アンドープAl_{0.48}In_{0.52}As層4-1(膜厚20 Å)、Si(ケイ素)を2×10¹⁸ cm⁻³ドープしたAl_{0.48}In_{0.52}As層4-2(膜厚300 Å)、及びアンドープAl_{0.48}In_{0.52}As層4-3(膜厚100 Å)が順次積層されたものである。さらに、このAl_{0.48}In_{0.52}As層4上に形成されているInAs-GaAs超格子コンタクト層5は、前述した様にInAs3原子層5_a(膜厚9 Å程度)とGaAs1原子層5_b(膜厚3 Å程度)とが交互に10層づつ積層されたものである。このInAs-GaAs超格子コ

ンタクト層5中にはSiがドーピングされており、そのドーピング濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ である。

以上述べてきたこれらの半導体結晶層を成長させる際には、分子線エピタキシャル成長法(MBE: Molecular Beam Epitaxy)を用いることができ、AlInAs層2、4、及びInGaAs層3については基板温度500°C、InAs-GaAs超格子コンタクト層5については基板温度350°Cで成長が行われる。この半導体結晶層上にはフォトリソグラフィ技術を用いて形成されたオーミック電極7が設けられている。このオーミック電極7は、AuGe71(金・ゲルマニウム)(膜厚1000Å)、Ni72(ニッケル)(膜厚400Å)、Au73(膜厚2000Å)を順次蒸着後リフトオフによって形成され、さらに水素雰囲気中で400°C、1分間の熱処理が施されたものである。

上記の構造を有する半導体装置について、TLM(Transmission Line Method)によりオーミックコンタクト抵抗を測定したところ、 $2.0 \times$

InAsコンタクト層はごくわずかではあるものの白濁が見られ、表面モフォロジーにおいてもInAs-GaAs超格子層が良好であることが明らかになった。

コンタクト層にInAs-GaAs超格子層を用いる場合については、H. Morkoらによつて"Journal of Applied Physics Letters vol. 53 p. 900-901 1988"で述べられている。但しこの場合は、InAs-GaAs超格子層の組成が(InAs層膜厚) = (GaAs層膜厚)であり、格子の整合、及び不整合については特に言及されていない。

なお本実施例は、AlInAs/InGaAs HEMTのコンタクト層を例に説明したもので、これ以外にもGaAs、AlGaAs、AlGaInAsなど、これまで高濃度に不純物を添加したInAsやInGaAsをコンタクト層として用いていたものについてはすべて適用可能である。また、コンタクト層の形成手段についてもMBE法に限らず有機金属気相成長法(OMVPE:

$10^{-1} \Omega \text{ cm}^2$ という低いコンタクト抵抗が得られた。

そこで、従来構造の半導体装置についても同様にオーミックコンタクト抵抗を測定し、実際に比較してみた。第3図はこの比較に用いた従来の半導体装置の断面概略図である。InP基板1上には、AlInAsバッファ層2、GaInAsチャネル層3、及びAlInAsドーピング層4が順次積層され、その上にコンタクト層としてInAs層8が積層されている。このInAsコンタクト層8にはSiがドープされており、その濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 、膜厚100Åである。前述の測定法TLMを用いて、この半導体装置についてオーミックコンタクト抵抗を測定したところ、 $2.5 \times 10^{-7} \Omega \text{ cm}^2$ という値が得られた。

これら測定結果の比較から、InAs-GaAs超格子コンタクト層が、実用に耐え得る十分低いコンタクト抵抗を有していることが明らかとなった。さらに、InAs-GaAs超格子コンタクト層がほとんど鏡面であるのに対して、In

Organic Metallic Vapor Phase Epitaxy)など、主な設計変更を施すことが可能である。

【発明の効果】

以上説明した様に本発明において、オーミック電極下のコンタクト層の材料としてInAs-richのInAs-GaAs超格子を用いることにより、格子不整合がある場合でも表面モフォロジーが良好であるコンタクト層を得る事ができ、さらに、オーミックコンタクト抵抗の十分低い半導体装置を得ることができる。

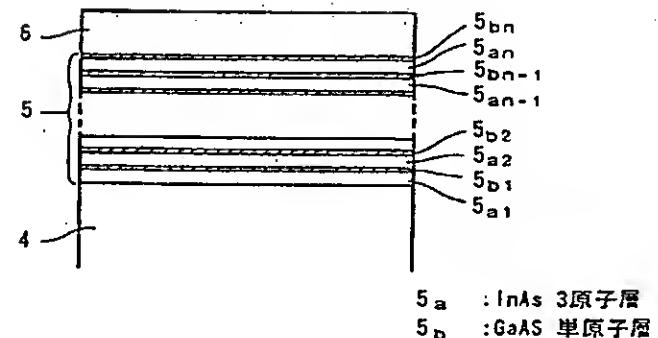
4. 図面の簡単な説明

第1図は本発明に係る化合物半導体に用いられるInAs-GaAs超格子層の構成を示す図、第2図は本発明の実施例に係る化合物半導体の構造断面図、第3図は従来の化合物半導体の構造断面図である。

1…InP基板、2…AlInAsバッファ層、3…GaInAsチャネル層、4…AlInAsドーピング層、5…InAs-GaAs超格子コ

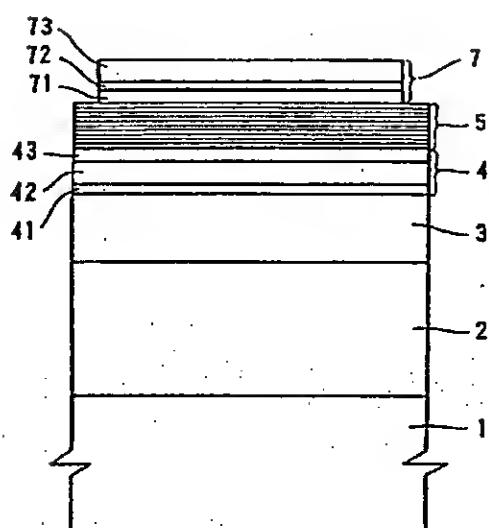
ンタクト層、51…InAsコンタクト層、
6…金属層、7…オームик電極。

代理人弁理士 長谷川 芳樹



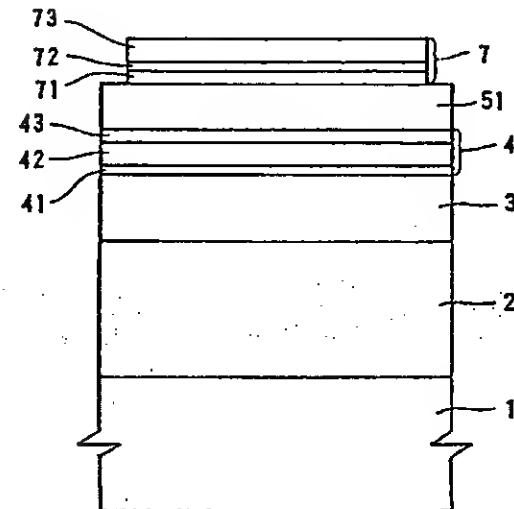
InAs-GaAs超格子層の構成概略図

第1図



実施例に係る半導体装置の断面概略図

第2図



従来の構造を示す断面概略図

第3図